

- For more records, click the Records link at page end.
- To change the format of selected records, select format and click **Display Selected**.
- To print/save clean copies of selected records from browser click **Print/Save Selected**.
- To have records sent as hardcopy or via email, click **Send Results**.

<input checked="" type="checkbox"/> Select All	Format		
<input checked="" type="checkbox"/> Clear Selections	Print/Save Selected	Send Results	Display Selected Full ▼

1. ☐ 4/19/1

03702532 **Image available**

MULTILAYER WIRING FORMATION IN SEMICONDUCTOR DEVICE

Pub. No.: 04-067632 [JP 4067632 A]

Published: March 03, 1992 (19920303)

Inventor: HASHIMOTO TAKESHI

Applicant: KAWASAKI STEEL CORP [000125] (A Japanese Company or Corporation), JP (Ja)

Application No.: 02-181224 [JP 90181224]

Filed: July 09, 1990 (19900709)

INTL CLASS: International Class: 5] H01L-021/3205; H01L-021/31; H01L-023/522

JAPIO Class: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO Keyword: R100 (ELECTRONIC MATERIALS -- Ion Implantation)

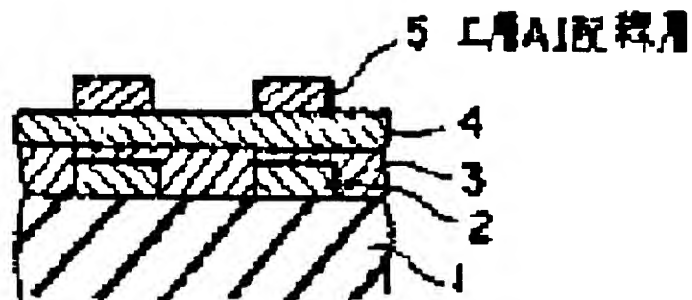
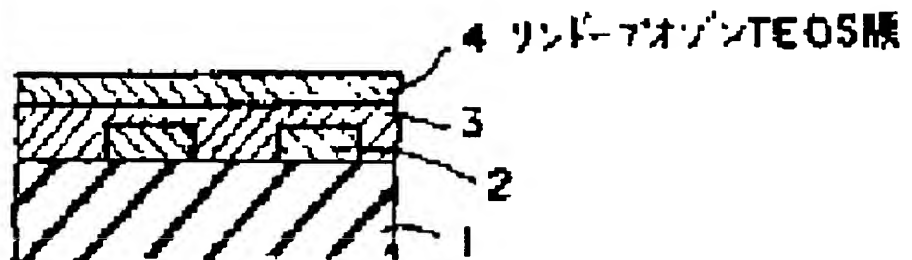
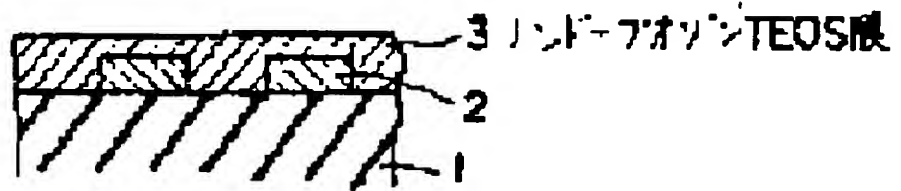
Journal: Section: E, Section No. 1219, Vol. 16, No. 275, Pg. 136, June 19, 1992 (19920619)

ABSTRACT

PURPOSE: To flatten interlayer insulating films for enhancing the hot carrier resistance by a method. An insulating film having the reflow property is formed on the lower layer wiring and then forming and doped with an impurity on the former insulating film so as to form both insulating films into the interlayer insulating films.

CONSTITUTION: A lower layer Al wiring layers 2 are formed according to specific pattern on a Si substrate 1. Then a non-doped ozone TEOS film 3 as an insulating film is formed on the whole surface by a non-doped ozone CVD device. This film 3 is buried in the trenches existing between the mutual layer Al wirings 2 to flatten the surface. Next, a phosphorus doped ozone TEOS film 4 as another insulating film is formed on the surface of the film 3 by the atmospheric pressure CVD device. At this time, the film 4 fixes the H(sub 2) as the hot carrier phenomenon occurring in the formation step of the passivation film so as to work as a barrier film. Through these procedures, the films 3, 4 can be formed into the interlayer insulating films to form the upper wiring layers on the flattened film 4 thereby enabling the title semiconductor device having specific characteristics to be manufactured by repeating the processes finally forming a passivation film on the surface.





[Translation]

(19) Japan Patent Office
(12) **Patent Release (A)**

(11) Patent Application Release

Hei.4 (1992)-67632

(43) Release Date: March 3, 1992

(51) Int.Cl ⁵	Identification No.	Agency Control No.
H 01 L	21/3205	
	21/31	
	23/522	
		6810-4M H 01 L 21/88 K
		6918-4M 23/52 B
		7342-4M 21/95

Examination Request: Not yet requested
Items in Application: 1 (Total 4
pages)

(54) Name of Invention: Method of Forming Semiconductor
Device's multilayer Wiring

(21) Patent Application: Hei.2(1990)-181224

(22) Application Date: July 9, 1990

(72) Inventor: Takeshi Hashimoto
c/o Main Technology Laboratory
Kawasaki Steel Corp.
1 Kawasaki-cho, Chiba City
Chiba Prefecture [Japan]

(71) Applicant: Kawasaki Steel Corporation
1-28 Kita-Honcho-dori 1-chome
Kobe-shi, Hyogo Pref. [Japan]

(74) Agent: Tetsuya Mori, patent attorney
and three others

Specifications

1. **Name of Invention:** Method of Forming Semiconductor
Device's Multilayer Wiring

2. Scope of Patent Application

(1) In a method for forming a semiconductor device's multilayer wiring by making an interlayer dielectric film on the lower wiring layer and an upper wiring layer on the above-noted interlayer dielectric film, a method for forming a semiconductor device's multilayer wiring which has

- a first process for forming a dielectric film with the reflow property on above-noted lower wiring and
- a second process which sequentially forms an impurity-doped dielectric film on said film of the first process and hardening it and which can fix hydrogen, making both the first-process film and the second-process film interlayer dielectric films.

3. Detailed Explanation of Invention

Field for Commercial Utilization: This invention relates to a method of forming a semiconductor device's multilayer wiring, and particularly bears on making interlayer dielectric films flat so as to moderate the step created by a lower wiring layer, and thus a method of making a semiconductor device's multilayer wiring long lived and highly reliable.

Usual Technology: With the usual semiconductor device, such as bipolar integrated circuits and MOS integrated circuits, multilayer wiring is done for the sake of high capacity and density. With such a semiconductor device, the lower aluminum wiring layer has a stepped shape at the part where the substrate has no aluminum wiring. Hence, this stepped shape is transferred via the interlayer dielectric film to the upper aluminum wiring layer. That gives rise to a thinned part of the upper aluminum wiring layer in response to this stepping, as a result of which there has been a risk of breaks in the aluminum wiring.

So, a method, SOG (spin on glass), is known that embeds the dielectric film in the groove of the step and flattens the interlayer dielectric film, forming it at low heat so as not to damage the substrate or aluminum wiring layer.

Nevertheless, when forming flat SiO_2 film (SOG film) by the SOG method, one uses a non-resin silicon compound solution; and as the SOG film becomes thicker so as to flatten the steep step, the solvent evaporates and causes capacity changes (hardening) in the SOG film so that cracks, etc.,

arise at its edges and bring about severe deterioration of the semiconductor device's electrical properties. It is known that stepping that can be mitigated by the SOG method without causing cracks are limited to some 4000D.

Now, organic silicon compounds are an existing example that can flatten the interlayer dielectric film without causing cracks even if steep steps are produced exceeding 4000D. A known existing example is to use as a gas source a gas system derived from tetra-ethoxysilane- O_3 (hereafter abbreviated to non-doped ozone TEOS) to do a film-forming reaction with low-temperature CVD at normal pressure and flatten the stepping by the reflow of the silicon dioxide created by the break down. (E.g., *Semicon News*, January 1988)

Also, to prevent deterioration of their element properties from atmospheric humidity, etc., semiconductor devices usually have a passivation film (final protective film) on their surfaces. When forming the silicon nitride film generally used for this passivation film on the semiconductor device's surface by CVD, one generally uses a monosilane (SiH_4)-ammonia (NH_3) system and the following formula at 200~400EC:



Problems the Invention Seeks to Resolve: Still, while the above-noted usual example achieves flattening of the semiconductor device, hydrogen generated in the above reaction to form the passivation film has become a main cause of the hot-carrier phenomenon. Some of the electrons generated by this hot-carrier phenomenon fly onto the interlayer dielectric film and are captured, changing the threshold voltage. Because this phenomenon arises when the semiconductor device runs, it has caused the problem that circuit malfunctions readily occur, undercutting the semiconductor device's reliability and easily shortening its life.

So, to resolve such problems, this invention has the goal of providing a method for forming a semiconductor device's multilayer wiring with flattened interlayer dielectric film, excels in its hot-carrier properties and can make multilayer wiring without bringing about variations or weakening in the semiconductor device's properties.

Means to Resolve Problems: To achieve these goals in a

method for forming a semiconductor's multilayer wiring, this invention is characterized--in a method for forming a semiconductor device's multilayer wiring by forming an interlayer dielectric film on the lower wiring layer and an upper wiring layer on the above-noted interlayer dielectric film--by having a first process that forms a reflow-type dielectric film on the above-noted lower wiring and a second process to serially form an impurity-doped dielectric film on said first process's film and also can fix hydrogen, thus forming interlayer dielectric film of the first process and second process films.

Effects: With this invention's method for forming multilayered film for semiconductor devices with an upper wiring layer on the above-noted interlayer dielectric film, one can make said dielectric film flat with a first process to form on the stepped lower wiring a dielectric film with reflow properties, thus moderating the above-noted step.

Also, by having a second process that can serially form an impurity-doped dielectric film and fix hydrogen, that film can fix hydrogen which is created in making a passivation film for the semiconductor device and which is the main cause of the hot-carrier phenomenon, as the film serves as a barrier layer to hydrogen, thereby keeping the hot-carrier phenomenon from arising.

Because of this, by forming interlayer dielectric films in both the first and second processes, one can provide a method for forming a semiconductor's multilayer wiring that flattens said interlayer dielectric film, has superior anti-hot carrier properties and does not cause variations or deterioration in the semiconductor device's properties.

Application Examples: Next we will explain application examples of this invention, basing that on the figures.

Figures 1 through 4 are cross-sectional composition diagrams using an application example of this invention to illustrate the method of forming the multilayer wiring.

In the Figure 1 process, one forms lower aluminum wiring layer 2 on silicon substrate 1 with a prescribed pattern.

Next, in the Figure 2 process one uses an ordinary pressure CVD device to form on the entire surface yielded in the first process a non-doped ozone TEOS film 3 as a dielectric film. For the source gas brought into the regular-pressure

CVD device, we introduce 20% silicon, 75% ozone and 60% nitrogen. Processing is done for five to eight minutes at 380EC to form non-doped ozone TEOS film 3 some 4000~6000D thick.

Because TEOS is a gaseous organic silicon compound with a low vapor pressure, one must heat it several tens of degrees Centigrade and buffer it with nitrogen when taking it into the regular-pressure CVD device.

Also, since ozone promotes the oxidation and breakdown of TEOS to form silicon dioxide, it is added to the reagent gases and included in those gases at 18,000 PPM. For introducing the ozone, one uses an electrical discharge to break down oxygen.

During this regular-pressure CVD, because ozone promotes breakdown of the TEOS, one can form non-doped ozone TEOS film 3 at low temperatures (350EC) and a high deposit rate (controllable at 100~5000D/minute at a deposit temperature of 380EC). So, it does not risk damaging to lower aluminum wiring layer 2. This non-doped ozone TEOS film 3 is a dielectric film and is embedded in the groove (the step between lower aluminum wiring 2 and silicon substrate 1) lying between lower aluminum wiring 2 and so reduces and flattens the step created by lower aluminum layer 2.

Also, non-doped ozone TEOS film 3 is formed from TEOS gas and so is not affected by shrinkage when congealing. As a result, even if non-doped ozone TEOS film 3 is made thick, the problem does not arise of cracks occurring. Also, the thickness of non-doped ozone TEOS film 3 can be freely determined from the thickness (height) of lower aluminum wiring 2 and adjusted to a desired thickness by the regular- pressure CVD's processing time.

Next, in Figure 3's process, proceeding from Figure 2's process, one makes phosphorus-doped TEOS film 4 in the regular-pressure CVD device as a dielectric film on flattened, non-doped ozone TEOS film 3. For this, one introduces the same source gases as in the regular-pressure CVD device in Figure 2's process: 30% silicon, 75% oxygen, 60% nitrogen and 30% phosphorus. Other processing conditions are like those in the Figure 2 process and yield 2000~4000D phosphorus-doped ozone TEOS film 4.

This phosphorus-doped ozone TEOS film 4 serves as a barrier

layer against hydrogen, fixing the hydrogen which is the main cause of the hot-carrier phenomenon that occurs when forming the passivation film. So, it can prevent the hot-carrier phenomenon.

Interlayer dielectric films are made for both above-noted non-doped ozone TEOS film 2 and phosphorus-doped ozone TEOS film 4.

Next, in Figure 4's process upper aluminum wiring layer 5 is formed on flattened phosphorus-doped ozone TEOS layer 4 yielded by Figure 3's process.

After the Figure 4 process, one repeats the processes from Figure 2 so as to be able to manufacture a semiconductor device having the desired multilayer wiring. Finally one makes a passivation film on the surface of the semiconductor device.

With the above processes, one has completed forming multilayered wiring that is flattened, has superior hot-carrier resistance and no varying or deteriorated semiconductor device properties.

Because one makes a phosphorus-doped ozone TEOS film 4 for each wiring layer, one can fix the above-noted hydrogen with each TEOS film 4 so as to assure the anti-hot carrier properties.

Next we compared the life shortening of the semiconductor device manufactured by this application example (the invention) with a semiconductor device with no impurity doping of the interlayer dielectric films and manufactured by the usual method (usual product). The comparison method was to apply maximum voltage (5.5V) to the semiconductor device and to take a drop of the g.m. (threshold voltage) as shortened life when it fell 10%. We also made the number of wiring layers, film thickness (height) and total thickness of interlayer dielectric films the same in the invention and the usual product.

The result was that we confirmed that the invention had its life span improved ten times compared to the usual product.

In Figure 3's process, we used phosphorus as the impurity to dope the ozone TEOS film that was formed; but it is not limited to that impurity.

We also used aluminum for the wiring; but one may also use various conductive materials such as Al-Cu, Al-Si, Al-Ta, etc.

In this application example, we explained the method for forming multilayer wiring; but there is nothing to prevent its being applied to forming single-layer wiring.

Effectiveness of Invention: As explained above, with this invention's method of forming multilayer wiring for semiconductor devices one can form flattened dielectric film by the first process. And, with the second process one can fix the hydrogen generated in the course of forming passivation film. As a result, it can provide a method of forming semiconductor devices' multilayer wiring with superior interlayer dielectric film flattening and anti-hot carrier properties, without variations or weakening of the semiconductor device properties.

4. Simple Explanation of Figures

Figures 1 through 4 are cross-sectional composition diagrams showing the method of forming the multilayer wiring from one example of applying this invention.

In the figures, 1 is a silicon substrate, 2 a lower aluminum wiring layer, 3 a non-doped ozone TEOS film, 4 a phosphorus-doped ozone TEOS film and 5 an upper aluminum wiring layer.

Patent applicant: Kawasaki Steel Corporation

Agents: Patent attorneys Tetsuya Mori, Yoshiaki Naito,
Masashi Shimizu and Shinji Omi

⑫ 公開特許公報(A) 平4-67632

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月3日

H 01 L 21/3205
21/31
23/5226810-4M H 01 L 21/88
6918-4M 23/52
7342-4M 21/95K
B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の多層配線の形成方法

⑮ 特 願 平2-181224

⑯ 出 願 平2(1990)7月9日

⑰ 発 明 者 橋 本 毅 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑱ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑲ 代 理 人 弁理士 森 哲 也 外3名

明 細 書

〔従来の技術〕

1. 発明の名称

半導体装置の多層配線の形成方法

2. 特許請求の範囲

- (1) 下層配線層上に層間絶縁膜を形成し、前記層間絶縁膜上に上層配線層を形成する半導体装置の多層配線の形成方法において、前記下層配線層上にリフロー性を有する絶縁膜を形成する第一工程と、当該第一工程の膜上に不純物をドーピングした絶縁膜を連続して形成し水素を固定できる第二工程と、を備えてなり、第一工程の膜と第二工程の膜とで層間絶縁膜を形成することを特徴とする半導体装置の多層配線の形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の多層配線の形成方法に係り、特に下層配線層により生じる段差を緩和するため、層間絶縁膜を平坦に形成し、かつ、長寿命で信頼性の高い半導体装置の多層配線の形成方法に関する。

従来の半導体装置、例えばバイポーラ集積回路、MOS集積回路では、高集積密度化のため多層配線が施されている。このような半導体装置では、下層A₂配線層は、基板のA₂配線が施されていない部分に対して段差形状となる。従って、層間絶縁膜を介して上層A₂配線層にもこの段差形状が転写される。するとこの段差部に応じて上層A₂配線層の厚みが薄くなる部分が生じ、その結果A₂配線の断線が生じる虞れがあった。

そこで、段差の溝内に絶縁膜を埋め込んで層間絶縁膜を平坦化し、かつ、基板及びA₂配線層に損傷を与えないように低温下で層間絶縁膜を形成する方法としてSOG法(スピノングラス法)が知られている。

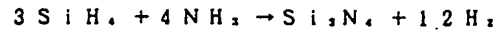
しかしながら、SOG法では平坦なSiO₂膜(SOG膜)を形成する際、無機系Si化合物溶液を用いており、険しい段差を平坦化するためSOG膜の膜厚が厚くなるに従い、加熱の際に溶剤が蒸発してSOG膜の体積変化(凝固)が生じる

ため、SOG膜のエッジ部にクラックが生じて半導体装置の電気的特性の著しい劣化を生じることになる。このため、クラックを発生することなくSOG法によって緩和できる段差は、4000Å程度が限度であることが知られていた。

そこで、4000Åを大幅に越えるような険しい段差が生じて、クラックを発生することなく層間絶縁膜の平坦化を行うことができる従来例として、有機系Si化合物である、テトラエトキシシラン-O₂（以下、ノンドープオゾンTEOS、と称する）からなるガス系をソースガスとして用い、常圧、低温下のCVDによる成膜反応を行い、分解の結果生じるSiO₂のリフロー性により段差部の平坦化を行う従来例が知られている（例えば、セミコンニュース、1988、1）。

そして、通常、半導体装置は、湿度等の外気による素子特性の劣化を防ぐため、半導体装置の表面にパッシベーション膜（最終保護膜）を有している。このパッシベーション膜として一般的に用いられる窒化シリコン膜は、プラズマCVD法に

より半導体装置表面に形成する際、モノシラン（SiH₄）-アンモニア（NH₃）系が多く用いられ、200～400℃で次式の反応が利用される。



（発明が解決しようとする課題）

しかしながら、前記従来例では、半導体装置の平坦化は達成されたが、前記パッシベーション膜を形成する反応の際に生じるH₂がホットキャリア現象を引き起こす主要原因となっていた。このホットキャリア現象により生じた電子の一部が層間絶縁膜に飛び込み捕獲され、しきい電圧が変わる。この現象は、半導体装置の動作に伴って生じるため、回路の誤動作が生じ易くなり、半導体装置の信頼性をなくし、さらに、寿命劣化を引き起こし易いという課題があった。

そこで、このような課題を解決するために本発明は、半導体装置の多層配線の形成方法において、層間絶縁膜の平坦化を行い、かつ、耐ホットキャリア性に優れ、半導体装置特性の変動、劣化をき

たすことなく多層配線を形成可能な、半導体装置の多層配線の形成方法を提供することを目的とする。

（課題を解決するための手段）

この目的を達成するために本発明は、下層配線層上に層間絶縁膜を形成し、前記層間絶縁膜上に上層配線層を形成する半導体装置の多層配線の形成方法において、前記下層配線層上にリフロー性を有する絶縁膜を形成する第一工程と、当該第一工程の膜上に不純物をドーブした絶縁膜を連続して形成し水素を固定できる第二工程と、を備えてなり、第一工程の膜と第二工程の膜とで層間絶縁膜を形成する半導体装置の多層配線の形成方法であることを特徴とするものである。

（作用）

この発明に係る半導体装置の多層配線の形成方法によれば、下層配線層上に層間絶縁膜を形成し、前記層間絶縁膜上に上層配線層を形成する半導体装置の多層配線の形成方法において、段差のある前記下層配線層上に、リフロー性を有する絶縁膜を

形成する第一工程を有することで、前記段差を緩和し、当該絶縁膜を平坦に形成することができる。

そして、第一工程で得た膜上に、さらに連続して不純物をドーブした絶縁膜を形成し水素を固定できる第二工程を有することで、前記半導体装置のパッシベーション膜の形成過程で生じる、ホットキャリア現象の主要原因であるH₂を当該絶縁膜が固定し、H₂に対する障壁層として作用して、ホットキャリア現象を引き起こすことを防ぐことができる。

このため、第一工程の絶縁膜と第二工程の絶縁膜とで層間絶縁膜を形成することで、当該層間絶縁膜は平坦化され、かつ、耐ホットキャリア性に優れ、半導体装置特性の変動、劣化をきたすことなく多層配線を形成可能な、半導体装置の多層配線の形成方法を提供することができる。

（実施例）

次に本発明の実施例について、図面に基づいて説明する。

第1図ないし第4図は、本発明の一実施例に係

る多層配線の形成方法を示す断面構成図である。

第1図の工程では、Si基板1上に、所定のパターンに従い下層A₂配線層2を形成する。

次に、第2図の工程で、第1図の工程で得た全面に常圧CVD装置により絶縁膜として、ノンドープオゾンTEOS膜3を形成する。常圧CVD装置に導入されるソースガスとしては、Si₂:20%、O₂:75%、N₂:60%を導入する。処理温度は380℃とし、5~8分間行い、ノンドープオゾンTEOS膜3の厚さを4000~6000Å程度に形成する。

TEOSは蒸気圧が低い気体状の有機Si化合物であるので、常圧CVD装置への導入に際しては、数10℃の加熱を行い窒素によるバブリングを必要とする。

一方オゾンはTEOSの酸化、分解を促進してSiO₂を形成するために、反応ガス中に添加されるものであり、反応ガス中に18000ppm含有される。オゾンの導入については、放電を利用して、酸素の分解を行う。

して、第2図の工程で形成した、平坦化されたノンドープオゾンTEOS膜3上に絶縁膜として、リンドープオゾンTEOS膜4を常圧CVD装置にて形成する。この時、第2図の工程で常圧CVD装置に導入したソースガスとして、Si:30%、O₂:75%、N₂:60%、P:30%を導入する。その他の処理条件は第2図の工程と同様に行い、厚さ2000~4000ÅのリンドープオゾンTEOS膜4を形成する。

このリンドープオゾンTEOS膜4は、パッシベーション膜を形成する際に発生するホットキャリア現象の主原因であるH₂を固定し、H₂に対する障壁層として作用する。このため、ホットキャリア現象を防ぐことができる。

前記ノンドープオゾンTEOS膜3と前記リンドープオゾンTEOS膜4とで、層間絶縁膜を形成する。

そして、第4図の工程では、第3図の工程で得た平坦化されたリンドープオゾンTEOS膜4の上に上層A₂配線層5を形成する。

この常圧CVDに際しては、オゾンがTEOSの分解を促進するため、低温(350℃)下においても大きな成長速度(成膜温度380℃前後において100~5000Å/分で制御可能)でノンドープオゾンTEOS膜3の形成が可能である。従って、下層A₂配線層2に損傷を与える虞れない。このノンドープオゾンTEOS膜3は絶縁膜であると共に、下層A₂配線2同士の間には存在する溝(下層A₂配線2とSi基板1との段差)に埋め込まれて、下層A₂配線2によって生じた段差を緩和して平坦化する。

また、ノンドープオゾンTEOS膜3は、TEOSガスから形成されるため、凝固の際の収縮の影響がない結果、ノンドープオゾンTEOS膜3を厚く形成してもクラック発生の問題もない。また、ノンドープオゾンTEOS膜の厚さは、下層A₂配線2の厚さ(高さ)により任意に決定し、常圧CVDの処理時間により所望の厚さに調整することができる。

次に、第3図の工程では、第2図の工程に連続

第4図の工程後、第2図以降の工程を繰り返すことで、所望の多層配線を有する半導体装置を製造することができる。

最後に、半導体装置の表面にパッシベーション膜を形成する。

以上の工程により、平坦化され、かつ、耐ホットキャリア性に優れ、半導体装置特性の変動、劣化をきたすことなく多層配線を形成することができる。

そして、配線層ごとにリンドープオゾンTEOS膜4を形成するので、前記H₂を各TEOS膜4で固定することができるため、耐ホットキャリア性をより確実にする。

次に、本実施例により製造した半導体装置(発明品)と従来の製造方法で製造した層間絶縁膜に不純物をドーピングしていない半導体装置(従来品)との寿命劣化を比較した。比較方法は、半導体装置に最大電圧(5.5V)をかけ、その時のgm(しきい電圧)の低下が10%となった時を寿命劣化とした。なお、発明品と従来品との間で配線層

の数、配線の厚さ（高さ）、トータルの層間絶縁膜の厚さは同一とした。

この結果、発明品は従来品に比べ、10倍寿命劣化が向上していることが確認された。

また、第3図の工程では、不純物としてPを用いたリンドーブオゾンTEOS膜を形成したが、これに限らない。

そして、配線としてAlを用いたが、Al-Cu、Al-Si、Al-Ta等各種導伝性物質を用いることもできる。

本実施例では、多層配線の形成方法について説明したが、単層配線の形成方法に用いることを妨げるものではない。

(発明の効果)

以上説明したように本発明に係わる半導体装置の多層配線の形成方法によれば、第一工程を有することで、絶縁膜を平坦に形成でき、さらに、第二工程を有することで、パッシベーション膜の形成過程で発生するH₂を固定することができる。この結果、当該層間絶縁膜は平坦化され、かつ、

耐ホットキャリア性に優れ、半導体装置特性の変動、劣化をきたすことなく多層配線を形成可能な、半導体装置の多層配線の形成方法をを提供することができる。

4. 図面の簡単な説明

第1図ないし第4図は、本発明の一実施例に係る多層配線の形成方法を示す断面構成図である。

図中、1はSi基板、2は下層Al配線層、3はリンドーブオゾンTEOS膜、4はリンドーブオゾンTEOS膜、5は上層Al配線層を示す。

特許出願人

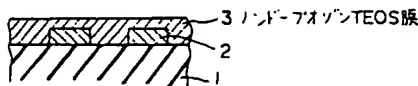
川崎製鉄株式会社

代理人 弁理士 森 哲也
弁理士 内藤 嘉昭
弁理士 清水 正
弁理士 大賀 眞司

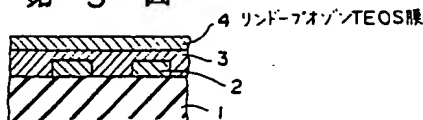
第 1 図



第 2 図



第 3 図



第 4 図

